

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-131393

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G01R 31/28

G01R 31/02

G01R 31/26

(21)Application number : 10-304560

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.10.1998

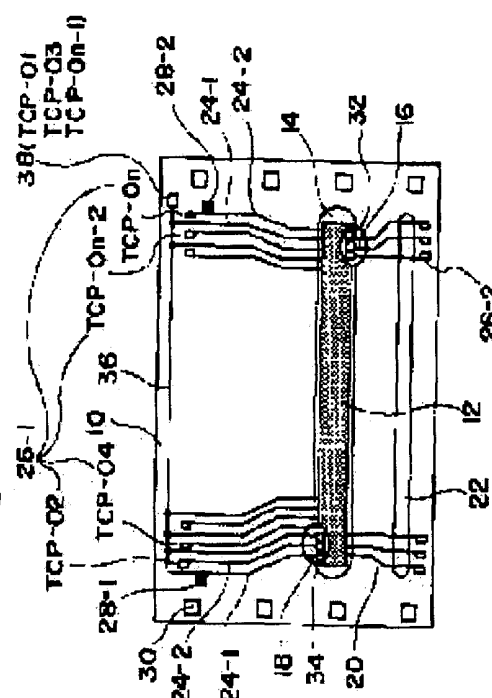
(72)Inventor : SUGANO HIROMASA

## (54) CIRCUIT AND METHOD FOR TESTING DRIVER IC

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the number of pads for tests on the output side of a driver IC, to enable highly accurate needle contact with the pads for tests, and to improve the yields of products.

**SOLUTION:** As for the arrangement of pads for tests, pads (26-1 and 38) for tests are divided so as to correspond to internal circuits in odd ordinal numbers and internal circuits in even ordinal numbers according to the arrangement order of the internal circuits part 5. The pads for tests provided in correspondence with either the internal circuits in odd ordinal numbers or the internal circuits in even ordinal numbers are commonly connected, and the internal circuits and output pads are made electrically separable. Test information is supplied for the internal circuits of a driver IC 12 from the outside, and the internal circuits and the output pads are electrically connected at the time of a test to test the state of connection between the input and output pads on the basis of the state of signals outputted from the pads for tests connected to the output pads.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(11)特許出願公開番号

特開2000-131393  
(P2000-131393A)

(43)公團日 平成12年5月12日(2000.5.12)

(5)IntCl'	識別記号	P I	予-予-予'(参考)
G 0 1 R 31/28		G 0 1 R 31/28	V 2 G 0 0 3
31/02		31/02	2 G 0 1 4
31/28		31/28	Z 2 G 0 3 2

審査請求 未請求 請求項の数 2 〇 L (全 11 頁)

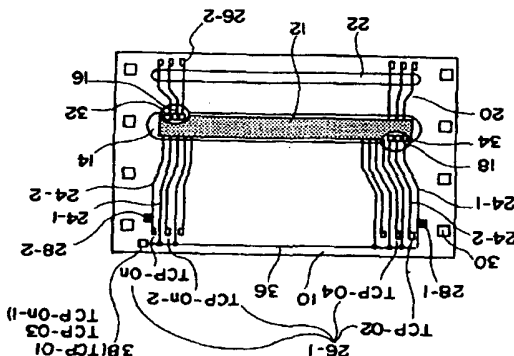
(21) 出版番号	特選平10-304580	(71) 出版人	00000295 沖電員工業株式会社	沖電氣
(22) 出版日	平成10年10月26日(1998. 10. 26)	(72) 発明者	菅野 裕雅 東京都港区虎ノ門1丁目7番12号 東京都港区虎ノ門1丁目7番12号 工業株式会社内	沖電氣
		(74) 代理人	100079049	

## (54)【発明の名称】 ドライバＩＣのテスト回路及びテスト方法

【要約】(57)

【課題】 ドライブICの出力側のデストロパッド数を減らし、デストロパッドに対する高精度な針当てを可能にし、製品の歩留りの向上を図る。

【解決手段】 テスト用パッドの配置を、内部回路の配列順により、奇数番目の内部回路と偶数番目の内部回路にそれぞれ対応させてテスト用パッド(26-1, 38)を区分けし、奇数番目の内部回路と偶数番目の内部回路のいずれか一方に対応して設けられたテスト用パッド間を電気的に接続し、かつ上述内部回路と出力パッドとの間を電気的に接続し可能にすると共に、ドライバIC12の内部回路にテスト用パッドを外周より供給し、テスト時に内部回路と出力パッドとの間を電気的に接続して該出力パッドに接続されているテスト用パッドから出力される信号状態に基づいて入力パッド間の接続状態をテストする。



## 【特】の尖を【用】

【請求項1】 テープキャリアパックージに組み込まれたスプレッドシートを駆動するドライバICの入出力カパシタに前記テープキャリアパックージ上に形成されたテープパッドとが電気的に接続されたドライバIC上に形成されたリードとが電気的に接続されており、前記入出力カパシタの容量値がドライバICの動作電圧と動作周波数との積に等しいように設計されているドライバICのテスト方法において、

図1に示すように、テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路とに対してそれぞれ奇数番目の内部回路と偶数番目の内部回路とを区別し、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対して設けられたテスト用パッド間を共通に接続し、かつ前記内部回路と出力パッド間との間を電気的に切離すことに共に、前記内部回路にテスト情報や外部より供給されるデータを入力し、テスト時に内部回路と出力パッドとの間を電気的に接続して該出力パッドに接続されているテスト用パッド間の接続状態に基づいて前記出力パッドからの出力される信号状態に基づいて前記出力パッド間の接続状態をテストすることを特徴とするドライバ回路のテスト方法。

【表1用ディジタルデータ転送系】 表1用ディジタルデータを順次転送するサブフレーム間隔及びレジスタとなるシフトレジスタと同様に、該サブフレーム間隔の出力を格納するラッチデコーダとして、該ラッチ回路に格納された表1用ディジタルデータと、該ラッチ回路に格納されるD/A変換回路と、該D/A変換回路をアナログ電圧に変換するD/A変換回路と、該D/A変換回路の出力をインピーダンス変換するバッファアンプ回路とを備えた内部回路と該内部回路の出力電圧を外部出力端子に出力する出力パッドとを1回路として多量回路を有するチップキャリアパッケージに配置されたディジタルICであって、前記出力パッドと前記チップキャリアパッケージ上に形成されたテスト用パッドとが前記ディープキャパシタンスに形成されたテスト用パッドとが前記ディープキャパシタンス上に形成されたリードパターンにより接続されてなり、前記出力パッドの接続状態をテストするディジタルICのテスト回路において、

このように、アドレスデスタント用パッドの配置を、内部回路の配列順により、奇数番目の内部回路と偶数番目の内部回路に対応させて、奇数番目の内部回路と偶数番目の内部回路の区別をし、奇数番目の内部回路と偶数番目の内部回路の何れか一方に対して設けられたデスタント用パッド間を共通に接続し、かつ前記ドライバICの出力パッドと出力パッドとの間にアナログスイッチを各ドライバICに設け、該アナログスイッチのドライバICデスタント用パッドと出力パッドを各出力パッドに対応する前記ソフトウェアクラッキング動作タイムミッシングを各出力パッドに対応する前記ソフトウェアクラッキング動作により生成した制御信号により、制御することと特徴とし、ドライバICのデスタント用パッドにより、生成した制御信号により、

## 【發明の詳細な説明】

10001

【発明の属する技術分野】本発明は、液晶ディスプレイデバイス等のディスプレイデバイスを駆動するドライバICのテスト回路及びテスト方法に係り、特にドライバ

ICの入出力パッド間の接続状態をテストするドライバ  
ICのテスト回路及びテスト方法に関する。

**[0002]**

【従来の技術】図5に従来の液晶ディスプレイのTap Driver Carriage Package (以下、TCPと記す。)の主要形態を示す。同図において、TCP201は、絶縁的なメッキ処理された銅箔、接着剤、フィニッシュの3層構造からなっている。入力側のインナーリード204、出力側のインナーリード205、入力側のアウターリード206、出力側のアウターリード207B及びタブ用パッド209は、それぞれTCP201上に形成されている。

**【0003】** ドライバIC202はテーパーを穴抜きとしたデザイン。ドライバIC203内にも配置され、ドライバIC202の出力側のインナリード上の金パンプ212と入力側のインナリード204とが接続され、また出力側のインナリード205とが接続される。出力側のインナリード206はテーパーを介して接続されている。入力側のアウトワード207はテーパーを介して図示した通りと接続される。

【0004】出力側のアクタリード208はアライメントマーク210-1とアライメントマーク210-2との間のリード端子が図7でないデイズプレイドバイとして接続される。

【0005】テスト用パッド209は、インガーリード204、205とドライバ1C202を接続した後にドレイバ1C202の出力パッドとテスト用パッド209の接続状態を検査する時に用い、テスト用パッド209の数は1又は2である。インガーリード204、205と同数である。テスト用パッド209は液晶パネルと接続する前に切り取られる。211はスプロケットホールであり、TCP201のスプロケット方向のサイズはスプロケットホール211間の間隔をW3とし、スプロケットホール211間の間隔をW3×(n-1)となる。

【0006】以上の構成において、液晶パネルの容量とヒト(XGA(extended video graphics array)パネルで3072x768画素)に準じ、ドライバIC202の1チップで1行の出力数を増加し、384出力(XGAパネルの3072画素)で1行の出力を8個使用)が主流になってきている。液晶パネルとの接続ピッチは(114)個のアナログリード208のピッチ、60〜70um程度と標準ピッチ化の傾向にある。

【0007】また、TCP201は低コスト化対策として、テープ幅(W1)が3.5mmのSW(Super Wide)タイプが主に用いられ、有効パターン領域(W2)が最大28.6mmまで可能であるため、現状ではアクアリーダー208のビットピッチは、70μm強が可能である。今後、更にドラムラインC202の多出力化に伴ってアクアリーダー208のビットピッチは更に薄く化していくことが見込まれる。



と対応、TCP-OUTnがDV-OUTnと対応)は各リード毎にテストパッド26-1と接続されている。入力側のパッドも各リード毎にテストパッド26-2に接続されている。テストパッド38、26-1、26-2はテスト用の針102と接続され、針102の他端はリード線104を介してICテスト内の比較器100の出力端子と接続されている。比較器100の他端には判定基準値が入力されるようになっている。

【0027】上記構成からなる本装置の形態に係るドライバIC12のテスト回路の動作について説明する。【0028】まず、上記ドライバIC12を稼働したTCP10のテストモードとはインバーティド16、18とドライバIC12の金パンプ32、34との接続状態を検査する。ICテストの間で電気的に導通している時の検査内容は出力端子間で電気的に導通しているか、または導通する出力端子間が電気的に導通しているかを判定する。ICテスト等で判定する。ICテストが正常な接続状態をICテスト等で判定する。ICテストで検査する場合は、ブローブカードに接続された微細な針をドライバIC12の出力側の金パンプ32、34に挿入して、出力端子T1に出力される出力パッド26-2に針を当て、入力側も同様にテスト用パッド26-2に針を当て電気的に接続をとっている。ICテストからテスト情報(スタート信号ST、シフトクロックCP、テストモード信号TEST、直読データ等)をドライバIC12の各信号端子T1に出力し、出力側のテストパッド38、26-1より期待値に相当するテストデータに対応した出力信号が得られるか否かで、一般的には製品の良否を判定している。

【0029】図4にテスト動作のタイミングを示す。テスト期間は大きくテストデータ転送期間と電気的導通、接続のテストを行う導通/絶縁検査期間とに分けられる。テストデータ転送期間はスタート信号STがシフト回路52-1に入力されると、シフト回路52-1の出力端子Q1からはシフトクロックCPの出力上がりに同期した周期T1で出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータ、例えば"00h"を記憶し保持する。

【0030】シフト回路52-1の出力端子Q1よりシフト回路52-1と同様にシフトクロックCPに同期した周期T1で出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータ、例えば"00h"を記憶し保持する。

【0031】シフト回路52-2の出力端子Q3から図4のラッチ端子L1に出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータ、例えば"00h"を記憶し保持する。

【0032】シフト回路52-3の出力端子Q3から図4のラッチ端子L1に出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータ、例えば"00h"を記憶し保持する。

56-3のラッチ端子L3に出力される。レジスタ回路56-3はラッチ端子L3が"H"の期間中にテストデータを記憶し保持する。同様に図4のラッチ端子L4はラッチ端子L4が"H"の期間中にテストデータを記憶し保持する。最終段階の図4に示すラッチ端子L5はラッチ端子L5が"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

【0032】各レジスタ回路56-1～56-nに保持されたテストデータは、LOAD信号の"H"期間中にラッチ端子L1～Lnに転送される。転送されるラッチ端子L1～Lnのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

【0033】一方、テストデータ7Fhは中間比較器100に相当する。中間比較器100はラッチ端子L1～Lnに転送されるラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

【0034】ラッチ端子L1～Lnに転送されるラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

Tを"L"レベルに設定し、全ての論理回路54-1～54-nの出力端子T3より出力されるテスト信号を"L"レベルに固定することにより、全ての出力回路80-1～80-nの各アナログスイッチがオフ状態になりTCP10上の奇数出力パッド38と偶数出力パッド26-1が、ドライバIC12のバッファアンプと切り離されて、ハイインピーダンス状態になっている。

【0034】次に導通/絶縁検査期間も、テストデータ転送期間と同様にスタート信号STをシフト回路52-1に入力する。シフト回路52-1の出力端子Q1よりシフトクロックCPに同期した周期T1で出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータを記憶し保持する。

【0035】論理回路54-1の出力端子T3はシフト回路52-1の出力端子Q1とテストモード信号TESTをT1に出力する。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータを記憶し保持する。

【0036】アナログスイッチ回路54-1のオン状態では抵抗(10kΩ)以上とする。

【0037】以上の状態において、導通および絶縁検査はTCP10上に設けられた奇数ライン用のテストパッド38と、偶数ラインのテストパッド26-1から一対線を介してテストパッド間の比較器100に出力し、比較器100の判定基準値と比較判定する。テストパッド間の比較器100はラッチ端子L1～Lnに転送されるラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

【0038】ラッチ端子L1～Lnに転送されるラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

が短絡している場合は、選択されている奇数ラインとはほぼ同電位のアナログ電圧(V00≒5V)が偶数ラインのテストパッドTCP-02に出力され、テストパッド間の比較器100に出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータを記憶し保持する。

【0038】次に、シフトクロックCPに同期した"H"レベルの信号がシフト回路52-2より出力され、論理回路54-2の出力端子T2に入力される。テストモード信号TESTもT1で出力される。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータを記憶し保持する。

【0039】出力回路80-2の導通/絶縁検査が正常の場合は、テストモード信号TESTをT1に出力する。以下、"H"と"1"となるシフトパルスは信号レジスタ回路56-1のラッチ端子L1に出力される。レジスタ回路56-1はラッチ端子L1が"H"の期間中にテストデータを記憶し保持する。

【0040】ラッチ端子L1～Lnに転送されるラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。レジスタ回路56-nのラッチ端子Lnはラッチ端子Lnが"H"の期間中にテストデータを記憶し保持する。

後よりテスト期間 (TS3) の "H" 状態になり、出力回路 80-3 のアナログスイッチをテスト信号 TS の "H" 期間中 (TS3) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路 80-3 のアナログスイッチがオン状態になり、共通接続された奇数ライン用のテスト用パッド 38 からは図 4 に示すタイミングでアナログ電圧 ( $V_{00} \approx 5V$ ) が出力される。同時に偶数番目の出力回路も論理値 54-4 の出力 (TS3) はシフト回路 52-4 の出力 Q4 とテストモード信号 TS の論理値よりテスト期間 (TS4) の "H" 状態になり、出力回路 80-4 のアナログスイッチをテスト信号 TS の "H" 期間中 (TS4) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路 80-4 のアナログスイッチがオン状態になり、偶数ライン用のテスト用パッド 26-1 からは CP-O4 にボクタイミングでアナログ電圧 ( $V_{7F} = 2.5V$ ) が出力される。以下、最終段側も同様に論理値 54-(n-1) の出力 Qn-1 はシフト回路 52-(n-1) の出力 Qn-1 とテストモード信号 TS の論理値よりテスト期間 (TSn-1) の "H" 状態になり、出力回路 80-(n-1) のアナログスイッチをテスト信号 TS の "H" 期間中 (TSn-1) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路 80-(n-1) のアナログスイッチがオン状態になり、共通接続された奇数ライン用のテスト用パッド 38 からは図 4 に示すタイミングでアナログ電圧 ( $V_{00} \approx 5V$ ) が出力される。最終段の論理値 54-n の出力 T3 もシフト回路 52-n の出力 Qn とテストモード信号 TS の論理値よりテスト期間 (TSn) の "H" 状態になり、出力回路 80-n のアナログスイッチをテスト信号 TS の "H" 期間中 (TSn) オン状態にする。この時、他のアナログスイッチはオフ状態になる。出力回路 80-n のアナログスイッチがオン状態になり、偶数ライン用のテスト用パッド 26-1 からは CP-O4 からアナログ電圧 ( $V_{7F} = 2.5V$ ) が出力される。テスト内の比較器 100 の導通判定基準電圧値と最終判定基準電圧値はテストモードに対応して切り替えるか、それぞれ判定基準電圧値毎に比較器を配置することも可能である。判定基準電圧値は該 IC の性能、テストの用途等任意に設定可能である。

【0040】以上に説明したように、本発明の実施形態に係るドライバ IC のテスト回路及びテスト方法によれば、ドライバ IC の出力回路部に内部回路と出力パッド (出力端) 間を電氣的に切り離すことにより、ドライバ IC と TCP 間の接続状態を簡易な手法で検食可能になる。

【0041】また TCP 上のテストパッド (384 出力 / 60-70  $\mu m$  ピッチ) を奇数パッド側、または偶数パッド側のどちらかを 1 出力毎に共通接続し、出力パッド数が従来の 1/2 程度に減少したことにより、製品組

み立て後の検査時のテストパッドへの針当て精度が向上し、試験ミスを低減でき製品歩留りが向上する。

【0042】更に本発明の実施形態に係るドライバ IC のテスト回路によれば、上記効果に加えて、内部回路と出力パッド (出力端) 間を電氣的に切り離す手段として、アナログスイッチを各出力回路毎に設け、アナログスイッチを 1 回路にデコードする手段を内部回路のシフト回路の出力信号 (シフトパルス信号) を流用することにより、特別なデコード回路が必要になり低コストなテスト回路を実現できる。

【0043】尚、テスト用パッドの構成は偶数側のテスト用パッド間を共通接続し、奇数側のテスト用パッドを単独に配置しても同様に効果を実現できる。また TCP の表裏に配線パターンを設ければ、奇数側および偶数側のテスト用パッド間をそれぞれ共通接続可能になり、同様の効果を得ることができる。

【0044】尚、本発明は、液晶パネルに限らず、ディスプレイデバイス駆動するドライバ IC 全般に適用できることは勿論である。

【0045】

【発明の効果】請求項 1 に記載の発明によれば、ドライバ IC の内部回路と出力パッドとの間を電氣的に切り離す可能にしたので、ドライバ IC と TCP との間の接続状態を簡易な手法でテストすることが可能となる。

【0046】また請求項 1 に記載の発明によれば、テスト用パッドの配置を、内部回路の配列順により奇数番目の内部回路と偶数番目の内部回路に対応させてテスト用パッドを区分けし、奇数番目の内部回路と偶数番目の内部回路の向かい側一方に対応して設けられたテスト用パッド間を共通接続するようにしたので、TCP のサイズを増加することなく、すなわち TCP のコストの上昇を抑えることなく、テスト用パッド数を低減でき、それ故製品組立後の検査時のテスト用パッドに対するプローブ針の針当て精度の向上が図れ、試験ミスを低減でき、製品の歩留りの向上が図れる。

【0047】請求項 2 に記載の発明によれば、請求項 1 に記載の効果に加えて、ドライバ IC の各内部回路と出力パッドとの間を電氣的に切り離す手段として、アナログスイッチを各々、設け、アナログスイッチを 1 回路毎にデコードするのにより内部回路のシフト回路の出力信号 (シフトパルス信号) を流用することにより、各アナログスイッチを特定のタイミングで動作させるための特別なデコード回路が必要となり、低コストのドライバ IC のテスト回路を実現することができる。

【図面の簡単な説明】

【図 1】本発明が適用される液晶ドライバ IC の TCP への実装形態を示す説明図。

【図 2】本発明の実施形態に係るドライバ IC のテスト回路の構成を示すブロック図。

【図 3】図 2 における出力回路周辺の回路構成を示す回

路図。

【図 4】図 2 に示すドライバ IC のテスト回路の動作状態を示すタイミングチャート。

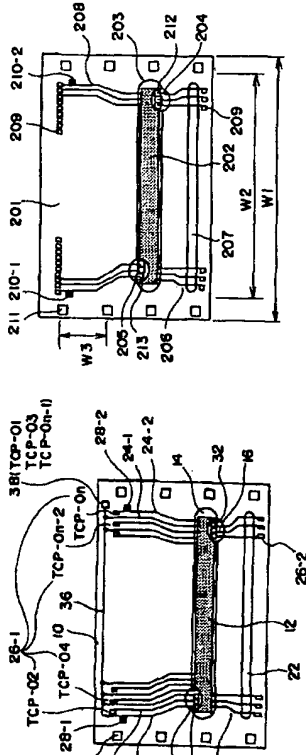
【図 5】従来の液晶ドライバ IC の TCP への実装形態を示す説明図。

【符号の説明】

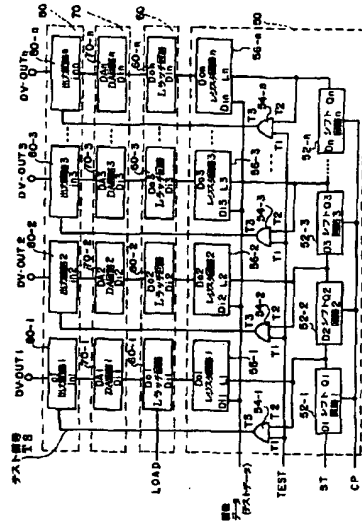
- |    |            |
|----|------------|
| 10 | TCP        |
| 12 | ドライバ IC    |
| 50 | シフトレジスタ回路部 |
| 60 | ラッチ回路部     |
| 70 | DA変換回路部    |
| 80 | 出力回路部      |

【図 1】

【図 5】



【図 2】





フロントページの続き

Fターム(参考) 2C003 AB18 AC09 AC12 AG13  
AH01 AH01 AH05  
2C014 AA01 AB20 AB21 AB51 AC06  
AC10 AC14 AC18  
2C032 AA01 AA01 AA07 AA09 AC03  
AD08 AE07 AE08 AE11 AE12  
AG01 AG02 AG04 AH04 AH07  
AK01 AK02 AK11 AK14 AK15  
AK16 AL03 AL04